

I. NATURALEZA Y CARACTERÍSTICAS DE LOS ESTUDIOS

1. Denominación del estudio propio

Máster de Formación Permanente en Sistemas Microelectrónicos basados en Arquitecturas Abiertas (RISC-V) (MFPSMBAA-1) (I edición)

2. Modalidad de impartición

Online

3. Campo del estudio propio

Ingeniería y Arquitectura

4. Créditos ECTS del estudio propio

60 créditos ofertados en la propuesta; 60 créditos necesarios para obtener el título

5. Composición del estudio propio

Independiente

6. Idioma modalidad de impartición

Español

7. Centros u órganos proponentes

E. S. DE INFORMATICA (CR) UNIVERSIDAD DE CASTILLA-LA MANCHA
E.S. DE INGENIERIA INFORMATICA (AB)

8. Lugar de Celebración

E. S. DE INFORMATICA (CR) UNIVERSIDAD DE CASTILLA-LA MANCHA
E.S. DE INGENIERIA INFORMATICA (AB)

9. Acuerdo Avalando los Estudios

Autorización del Departamento de TECNOLOGÍAS Y SISTEMAS DE INFORMACIÓN de fecha 24 de mayo de 2024

Autorización de la E. S. DE INFORMATICA (CR) de fecha 27 de mayo de 2024

10. Descripción breve

El objetivo de estos estudios es cualificar a los estudiantes en el ámbito del diseño microelectrónico de sistemas digitales complejos. Para ello se contempla el desarrollo de un programa que aborda tanto los aspectos del diseño arquitectural del sistema y sus distintos subsistemas (procesador, memorias, periféricos, sistemas de comunicación, etc.), como los relativos a los flujos y procesos y herramientas de diseño microelectrónico, que permiten materializar dichos diseños sobre un chip.

Como características particulares de este máster se plantea el uso de soluciones abiertas tanto en software como hardware, presentando especial atención a la iniciativa RISC-V como medio para dotar a la industria española y europea de una necesaria independencia tecnológica, así como un enfoque claramente práctico, con el fin de que los estudiantes puedan aplicar directamente este conocimiento en las distintas empresas del sector relacionadas con el diseño y fabricación de sistemas microelectrónicos.

11. Infraestructuras y Medios

Se utilizará como base las infraestructuras ya existentes en las sedes de Albacete y Ciudad Real, más aquellos recursos que se solicitan expresamente en la propuesta y que fundamentalmente están relacionados con las plataformas de prototipado para los laboratorios de tipo práctico y las diferentes herramientas software:

- Aulas en cada una de las sedes con capacidad para 20 alumnos, cumpliendo con la normativa correspondiente
- Equipamiento multimedia (proyector y altavoces) para la reproducción de contenidos docentes en el aula.
- Opcionalmente un ordenador por cada puesto con los recursos necesarios para desarrollar los casos prácticos. Los alumnos pueden realizar las prácticas en sus propios equipos.
- Uso de la plataforma Campus Virtual para la publicación de contenidos docentes.
- Uso de la plataforma Microsoft Teams y Microsoft Stream para las clases online síncronas, tutorías en remoto y la publicación de los materiales audiovisuales, respectivamente.
- Acceso a los servicios online ofrecidos por la Universidad de Castilla-La Mancha a sus estudiantes de postgrado, tales como recursos bibliográficos, medios y soportes informáticos, etc.

12. Justificación

Una de las debilidades que los efectos económicos de las recientes crisis (COVID-19, guerra en Ucrania, ...) han puesto de manifiesto es la dependencia tecnológica en el sector de los semiconductores. La respuesta europea ha sido la puesta en marcha de planes para mitigar este problema, canalizados a través de la Directiva Europea sobre Chips. En el caso de España esto se ha traducido en la puesta en marcha de un plan de financiación denominado PERTE de Microelectrónica y Semiconductores, que tiene entre sus principales ejes la creación de una red de educación, formación y capacitación que fortalezca el capital humano del sector.

Aunque actualmente existe formación específica tanto de grado como de máster que aborda de una u otra manera aspectos del diseño microelectrónico y la fabricación de semiconductores, en la mayoría de estudios de ingenierías afines (informática, industrial, telecomunicación, ...) estos aspectos se abordan tangencialmente, principalmente con el fin de proporcionar una base de conocimiento mínima para entender las implicaciones que la microelectrónica tiene con respecto a los campos específicos del conocimiento de cada titulación. Es necesario, sin embargo, proporcionar una visión general con un conjunto de áreas temáticas amplias, que facilite la capacitación de este tipo de titulados para su empleabilidad en el sector de la microelectrónica.

Con este título de máster, la Universidad de Castilla-La Mancha pretende dar respuesta a una parte de tales necesidades, dado que se trata de un problema complejo que requiere la participación de muchos y muy diversos actores. Entre estos actores destaca el papel de las empresas, como receptoras de los profesionales cualificados y motores de la actividad económica. Por esta razón, este máster contempla la participación directa de las empresas, tanto en aspectos relativos a la impartición de formación y transmisión de su conocimiento y experiencia, como a la hora de proporcionar casos de uso prácticos que podrán ser aplicados al desarrollo de los proyectos finales.

13. Objetivos y Competencias

El objetivo de estos estudios es cualificar a los estudiantes en el ámbito del diseño microelectrónico de sistemas digitales complejos. Para ello se contempla el desarrollo de un programa que aborda tanto los aspectos del diseño arquitectural del sistema y sus distintos subsistemas (procesador, memorias, periféricos, sistemas de comunicación, etc), como los relativos a los flujos y procesos y herramientas de diseño microelectrónico, que permiten materializar dichos diseños sobre un chip.

Como características particulares de este máster se plantea en la medida de lo posible el uso de soluciones abiertas tanto en software como hardware, presentando especial atención a la iniciativa RISC-V como medio para dotar a la industria española y europea de una necesaria independencia tecnológica, así como un enfoque claramente práctico, con el fin de que los estudiantes puedan aplicar directamente este conocimiento en las distintas empresas del sector relacionadas con el diseño y producción de microelectrónica.

Este enfoque práctico se materializa en el desarrollo de distintos tipos de diseños sobre plataformas de lógica programable, así como la realización de un proyecto de mayor entidad cuyo objetivo será la obtención de un chip de aplicación específica (ASIC).

Para alcanzar estos objetivos se plantea el desarrollo de las siguientes competencias:

- Capacidad de diseñar circuitos integrados digitales
- Capacidad de diseñar y programar sistemas integrados en chip (SoC)
- Capacidad de diseñar, depurar y programar sistemas integrados multiprocesador complejos
- Capacidad de generar el middleware y software de sistemas integrados adaptados a su arquitectura
- Capacidad de diseñar sistemas de comunicaciones cableadas e inalámbricas
- Capacidad de diseñar, programar y validar circuitos y sistemas integrados de aplicación específica
- Capacidad de verificar y testear circuitos integrados utilizando diferentes tecnologías y herramientas
- Capacidad de diseñar microsistemas integrados o híbridos y heterogéneos integrando circuitos de diferentes sustratos
- Capacidad para integrarse con las competencias de proceso adecuadas en entornos de fabricación, testeo, ensamblaje y encapsulado donde se materialicen los diseños en las diferentes tecnologías contempladas
- Capacidad de gestionar y participar en procesos de calidad, fiabilidad y certificación

14. Destinatarios

El Máster está dirigido a graduados y profesionales del ámbito del diseño de sistemas electrónicos/informáticos que quieran ampliar sus conocimientos al ámbito de la microelectrónica y así poder abordar el ciclo de diseño completo desde su especificación y verificación hasta su implementación y test con un enfoque eminentemente práctico.

15. Patrocinadores y Colaboradores

TECNOBIT SL, Cojali S.L.

II. RESPONSABLES DE LOS ESTUDIOS

16. Dirección y Secretaría

Dirección Académica:

Fernando Rincón Calle - Profesor Titular de Universidad - Universidad de Castilla-La Mancha
Jesús Escudero Sahuquillo - Profesor Titular de Universidad - Universidad de Castilla-La Mancha

Secretaría Académica:

Jesús Barba Romero - Profesor Titular de Universidad - Universidad de Castilla-La Mancha
Rafael Rodríguez Sánchez - Profesor Titular de Universidad - Universidad de Castilla-La Mancha

III. ORGANIZACIÓN Y CONTENIDOS DE LOS ESTUDIOS

17. Relación de Profesorado

Académicos

NOMBRE Y APELLIDOS	UNIVERSIDAD	CATEGORÍA
FRANCISCO JOSÉ ALFARO CORTÉS	UNIVERSIDAD DE CASTILLA-LA MANCHA	CATEDRÁTICO/A DE UNIVERSIDAD
JESÚS BARBA ROMERO	UNIVERSIDAD DE CASTILLA-LA MANCHA	PROFESOR/A TITULAR DE UNIVERSIDAD
JULIÁN CABA JIMÉNEZ	UNIVERSIDAD DE CASTILLA-LA MANCHA	PROFESOR/A CONTRATADO DOCTOR
MARÍA SOLEDAD ESCOLAR DÍAZ	UNIVERSIDAD DE CASTILLA-LA MANCHA	PROFESOR/A TITULAR DE UNIVERSIDAD
JESÚS ESCUDERO SAHUQUILLO	UNIVERSIDAD DE CASTILLA-LA MANCHA	PROFESOR/A TITULAR DE UNIVERSIDAD

NOMBRE Y APELLIDOS	UNIVERSIDAD	CATEGORÍA
JOSÉ FLICH CARDO	UNIVERSIDAD POLITECNICA DE VALENCIA	CATEDRÁTICO/A DE UNIVERSIDAD
PEDRO JAVIER GARCÍA GARCÍA	UNIVERSIDAD DE CASTILLA-LA MANCHA	CATEDRÁTICO/A DE UNIVERSIDAD
CELIA GARRIDO HIDALGO	UNIVERSIDAD DE CASTILLA-LA MANCHA	PROFESOR/A AYUDANTE DOCTOR
JUAN CARLOS LÓPEZ LÓPEZ	UNIVERSIDAD DE CASTILLA-LA MANCHA	CATEDRÁTICO/A DE UNIVERSIDAD
MARIA LUISA LÓPEZ VALLEJO	UNIVERSIDAD POLITECNICA DE MADRID	CATEDRÁTICO/A DE UNIVERSIDAD
FRANCISCO JOSÉ QUILES FLOR	UNIVERSIDAD DE CASTILLA-LA MANCHA	CATEDRÁTICO/A DE UNIVERSIDAD
FERNANDO RINCÓN CALLE	UNIVERSIDAD DE CASTILLA-LA MANCHA	PROFESOR/A TITULAR DE UNIVERSIDAD
LUIS RODA SÁNCHEZ	UNIVERSIDAD DE CASTILLA-LA MANCHA	PROFESOR/A ASOCIADO/A
RAFAEL RODRÍGUEZ SÁNCHEZ	UNIVERSIDAD DE CASTILLA-LA MANCHA	PROFESOR/A TITULAR DE UNIVERSIDAD
JESÚS SALIDO TERCERO	UNIVERSIDAD DE CASTILLA-LA MANCHA	PROFESOR/A TITULAR DE UNIVERSIDAD
JOSÉ LUIS SÁNCHEZ GARCÍA	UNIVERSIDAD DE CASTILLA-LA MANCHA	CATEDRÁTICO/A DE UNIVERSIDAD
GUSTAVO DANIEL SUTTER CAPRISTO	UNIVERSIDAD AUTONOMA DE MADRID	PROFESOR/A CONTRATADO DOCTOR
XAVIER DEL TORO GARCÍA	UNIVERSIDAD DE CASTILLA-LA MANCHA	PROFESOR/A TITULAR DE UNIVERSIDAD
JOSÉ ANTONIO DE LA TORRE LAS HERAS	UNIVERSIDAD DE CASTILLA-LA MANCHA	PROFESOR/A AYUDANTE DOCTOR
FÉLIX JESÚS VILLANUEVA MOLINA	UNIVERSIDAD DE CASTILLA-LA MANCHA	PROFESOR/A TITULAR DE UNIVERSIDAD
JOSÉ FRANCISCO DUATO MARÍN	UNIVERSIDAD POLITÉCNICA DE VALENCIA	CATEDRÁTICO/A DE UNIVERSIDAD
JULIO DANIEL DONDO GAZZANO	UNIVERSIDAD DE SAN LUIS	PROFESOR/A TITULAR DE UNIVERSIDAD

Profesionales

NOMBRE Y APELLIDOS	ENTIDAD O EMPRESA
NARCÍS AVELLANA TARRATS	Openchip S.L.
JOSÉ FRANCISCO DUATO MARÍN	QSIMOV QUANTUM COMPUTING S.L.
GABRIEL GÓMEZ LÓPEZ	UNIVERSIDAD DE CASTILLA-LA MANCHA
CARLES HERNÁNDEZ LUZ	UNIVERSIDAD POLITECNICA DE VALENCIA
FRANCISCO JIMÉNEZ FIERREZ	Automatización y Diseño industrial, S. L.
CARLOS MEDRANO NAVALÓN	UNIVERSIDAD DE CASTILLA-LA MANCHA

NOMBRE Y APELLIDOS	ENTIDAD O EMPRESA
ALBERTO MERINO RISUEÑO	UNIVERSIDAD DE CASTILLA-LA MANCHA
ANTONIO MORÁN MUÑOZ	UNIVERSIDAD DE CASTILLA-LA MANCHA
CRISTINA OLMEDILLA LÓPEZ	UNIVERSIDAD DE CASTILLA-LA MANCHA
SAMUEL RODRIGO MOCHOLÍ	NUMASCALE AS
MIGUEL SÁNCHEZ DE LA ROSA	UNIVERSIDAD DE CASTILLA-LA MANCHA
ANTONIO JOAQUÍN TÁRRAGA MORENO	UNIVERSIDAD DE CASTILLA-LA MANCHA
LLUÍS TERÉS TERÉS	Instituto de Microelectrónica de Barcelona - CNM (CSIC)

18. Programación del Aprendizaje y Coordinadores

Plan de Estudios

[01] Introducción al diseño microelectrónico. Diseño de sistemas digitales	Obligatoria 6 ECTS 3 Práct. 3 Teór.	
Coordinador/a: FÉLIX JESÚS VILANUEVA MOLINA		
Fecha Inicio: 30-09-2024	Fecha Fin: 08-11-2024	
<p>Justificación: El propósito de esta asignatura es realizar una introducción al diseño microelectrónico, especialmente enfocado en el diseño de los sistemas digitales, a las tecnologías de fabricación de semiconductores actuales, y a las distintas alternativas a la hora de diseñar circuitos integrados (chips) de aplicación específica. Se realizará un repaso de los flujos de diseño y herramientas CAD/CAE habitualmente utilizadas para el diseño de estos sistemas. Se abordará también el modelado y diseño de circuitos a través de lenguajes de descripción de hardware, para finalmente proporcionar los fundamentos que permitan prototipar estos circuitos sobre dispositivos lógicos reconfigurables (FPGAs).</p>		
Sesiones	Horas	Tipo de sesión
01. Introducción al diseño microelectrónico	2	Sesión online síncrona
02. Flujos de diseño y herramientas EDA	3	Sesión online síncrona
03. Lenguajes de descripción de hardware	4	Clase teórica online
04. Ejercicios de modelado con Verilog	11	Clase práctica online
05. Simulación, síntesis e implementación en FPGA	4	Clase teórica online
06. Implementación de un sistema completo en FPGA	2	Clase práctica online
07. Integración de IPs	3	Clase teórica online
08. Modelado de Sistemas con Verilog	5	Clase teórica online
09. Ejercicios de modelado de sistemas	10	Clase práctica online
10. Proyectos de diseño	9	Clase práctica presencial
11. Realización de ejercicios supervisados	7	Actividades online
12. Estudio de los temas	25	Estudio o preparación

13. Realización de ejercicios	20	Estudio o preparación
14. Realización de proyectos	45	Elaboración de trabajos

[02] Arquitectura del procesador	Obligatoria 6 ECTS 3 Práct. 3 Teór.	
Coordinador/a: FRANCISCO JOSÉ ALFARO CORTÉS / PEDRO JAVIER GARCÍA GARCÍA		
Fecha Inicio: 30-09-2024	Fecha Fin: 08-11-2024	
<p>Justificación: El propósito de esta asignatura es comprender los fundamentos de la arquitectura RISC-V y el conjunto de instrucciones, comprender la microarquitectura segmentada para el procesador RISC-V, comprender los conceptos relacionados con la gestión de memoria de RISC-V, y escribir, compilar y ejecutar código para procesadores RISC-V. Se estudiará la arquitectura del juego de instrucciones (ISA) de los procesadores RISC-V, el formato de estas instrucciones, la ruta de datos segmentada y los riesgos de la segmentación, y la jerarquía de memoria. Se realizarán trabajos prácticos con simuladores de procesadores RISC-V y se implementará un procesador "single core" RISC-V en un FPGA.</p>		
Sesiones	Horas	Tipo de sesión
01. Introducción a la arquitectura RISC-V	2	Clase teórica online
02. Repertorio de instrucciones RISC-V	4	Clase teórica online
03. Formato y tipos de instrucciones	2	Clase teórica online
04. Introducción al simulador RIPES y a la programación en ensamblador de RISC-V	2	Clase práctica online
05. Ruta de datos segmentada: introducción	3	Clase teórica online
06. Ruta de datos segmentada: riesgos estructurales y de datos	4	Clase teórica online
07. Caso práctico #1: Programación en lenguaje ensamblador usando el simulador RIPES	3	Clase práctica presencial
08. Ruta de datos segmentada: riesgos de control	3	Clase teórica online
09. Jerarquía de memoria: Principios fundamentales	3	Clase teórica online
10. Caso práctico #2: Riesgos en el simulador RIPES	4	Clase práctica online
11. Jerarquía de memoria: Niveles de la jerarquía	7	Clase teórica online
12. Caso práctico #2: Riesgos en el simulador RIPES	3	Clase práctica presencial
13. Caso práctico #3: Jerarquía de memoria en RIPES	3	Clase práctica online
14. Caso práctico #4: Flujo de programas desde alto nivel al cauce segmentado RISC-V I	4	Clase práctica online
15. Caso práctico #5: Flujo de programas desde alto nivel al cauce segmentado RISC-V II	3	Clase práctica online

16. Caso práctico #5: Flujo de programas desde alto nivel al cauce segmentado RISCv II	3	Clase práctica online
17. Caso práctico #6: Flujo de programas desde alto nivel al cauce segmentado RISCv III	2	Clase práctica online
18. Caso práctico #6: Flujo de programas desde alto nivel al cauce segmentado RISCv III	3	Clase práctica presencial
19. Estudio autónomo	45	Estudio o preparación
20. Proyecto práctico	45	Elaboración de trabajos
21. Evaluación	2	Evaluación

[03] Diseño para la Testabilidad y la Verificación	Obligatoria 6 ECTS 3 Práct. 3 Teór.	
Coordinador/a: JULIÁN CABA JIMÉNEZ		
Fecha Inicio: 11-11-2024	Fecha Fin: 20-12-2024	
<p>Justificación: Los avances en el diseño de System-on-Chip (SoC), junto con nuevas herramientas de desarrollo, permiten construir arquitecturas complejas que deben ser verificadas previamente a su puesta en producción. El proceso de verificación de un diseño sigue siendo la etapa más costosa del diseño de un dispositivo, llegando a ocupar entre el 50-60% del ciclo de diseño. Además, las tendencias industriales actuales, que implican el uso de plataformas de prototipado FPGA para la fase de verificación, complican aún más este proceso. Este hecho hace que la metodología de verificación universal (UVM, Universal Verification Methodology) sea un estándar industrial clave para la verificación de diseños hardware. UVM proporciona un marco estructurado para desarrollar testbenches reutilizables y escalables, esenciales para gestionar la creciente complejidad de los SoCs. Entre sus beneficios se incluyen la estandarización y reutilización de componentes, la escalabilidad, la reducción de tiempo y costos, y la mejora de la calidad del diseño. Además, UVM se integra bien con plataformas de prototipado FPGA, facilitando una validación exhaustiva y realista del diseño antes de la producción en masa. Este hecho hace a UVM una metodología primordial para el diseño de chips, la cual aborda la complejidad y el costo de la verificación, mejorando la eficiencia y la calidad del diseño en la industria de los semiconductores.</p>		
Sesiones	Horas	Tipo de sesión
01. Verificación: presente y tendencias	0,5	Clase teórica online
02. Diseño para testabilidad	3	Clase teórica online
03. Laboratorio guiado: BIST, SCAN y ATPG	3	Clase práctica online
04. Verificación formal: propiedades y equivalencia	3	Clase teórica online
05. Laboratorio guiado: comprobación de equivalencias	1	Clase práctica online
06. Comprobación de estados de un sistema de control de luces de tráfico	3	Clase práctica presencial
07. SystemVerilog para verificación	5	Clase teórica online
08. Laboratorio guiado: Verificación con SystemVerilog	5	Clase práctica online
09. Generador de números aleatorios con restricciones	3	Clase práctica presencial
10. Verificación basada en aserciones	5	Clase teórica online
11. Laboratorio guiado: análisis de cobertura en ramas	5	Clase práctica online
12. Metodología de Verificación Universal (UVM)	3	Clase teórica online

13. Laboratorio guiado: Ejemplos prácticos de UVM	4	Clase práctica online
14. Laboratorio: banco de pruebas completo en UVM y análisis de cobertura	3	Clase práctica online
15. Tutorías	9	Sesión online síncrona
16. Test de autoevaluación	3,5	Actividades online
17. Estudio y realización de ejercicios	45	Estudio o preparación
18. Proyectos prácticos	45	Estudio o preparación
19. Evaluación final	1	Evaluación asíncrona

[04] Diseño de microcontroladores en hardware abierto	Obligatoria 6 ECTS 3 Práct. 3 Teór.	
Coordinador/a: LUIS RODA SÁNCHEZ / CELIA GARRIDO HIDALGO		
Fecha Inicio: 11-11-2024	Fecha Fin: 20-12-2024	
<p>Justificación: El propósito de esta asignatura es comprender los fundamentos de los microcontroladores (MCU) basados en RISC-V, conocer el funcionamiento de sistemas de memoria y la arquitectura de interconexión del SoC del MCU, saber manejar interrupciones y excepciones en RISC-V, saber desarrollar una aplicación desde las funcionalidades mínimas de un sistema empujado, conocer y saber usar métricas de rendimiento de sistemas empujados y embarcados. Se realizarán sesiones prácticas con MCU RISC-V implementados en una FPGA y se realizarán programas que utilicen los protocolos de comunicación asíncronos, manejen los temporizadores y optimicen el uso de la arquitectura de interconexión del SoC.</p>		
Sesiones	Horas	Tipo de sesión
01. Introducción a los microcontroladores basados en RISC-V	2	Clase teórica online
02. Caso práctico #1: Instalación y configuración de un microcontrolador basado en RISC-V: simulación y emulación	4	Clase práctica online
03. Configuración de E/S y periféricos	4	Clase teórica online
04. Caso práctico #2: Manejo de E/S	2	Clase práctica online
05. Protocolos de comunicación en MCUs	5	Clase teórica online
06. Caso práctico #3: Manejo de los protocolos de comunicación asíncronos	3	Clase práctica presencial
07. Caso práctico #3: Manejo de los protocolos de comunicación síncronos	4	Clase práctica online
08. Manejo de interrupciones y Temporizadores	2	Clase teórica online
09. Caso práctico #4: Interrupciones y excepciones	4	Clase práctica online
10. Sistemas empujados y embarcados basados en MCUs RISC-V	2	Clase teórica online
11. Arquitecturas de interconexión del SoC del MCU	5	Clase teórica online
12. Caso práctico #5: Implementación de un MCU basado en RISC-V en una FPGA	3	Clase práctica presencial
13. Caso práctico #5: Temporizadores	4	Clase práctica online
14. Aplicaciones reales de sistemas empujados	3	Clase teórica online

15. Aplicaciones reales de sistemas embarcados I	3	Clase teórica online
16. Aplicaciones reales de sistemas embarcados II	2	Clase teórica online
17. Caso práctico #5: Memoria	3	Clase práctica online
18. Caso práctico #6: Evaluación de rendimiento	3	Clase práctica presencial
19. Estudio autónomo	45	Estudio o preparación
20. Proyecto: Diseño MCUs basados en RISC-V eficiente y de bajo consumo para un sistema embarcado o empotrado	45	Elaboración de trabajos
21. Evaluación	2	Evaluación

[05] Síntesis de Alto Nivel para el Diseño de Circuitos Digitales sobre FPGAs	Obligatoria 6 ECTS 3 Práct.3 Teór.	
Coordinador/a: JESÚS BARBA ROMERO		
Fecha Inicio: 13-01-2025	Fecha Fin: 31-01-2025	
<p>Justificación: La tecnología de Síntesis de Alto Nivel (HLS, de sus siglas en inglés <i>High-Level Synthesis</i>) tiene un papel cada vez más prominente en el desarrollo automatizado de sistemas electrónicos digitales ya que permite elevar el nivel de abstracción de la especificación del comportamiento de los circuitos.</p> <p>Las herramientas y flujos de trabajos con HLS permiten a los diseñadores describir sus algoritmos utilizando lenguajes como C o C++ y automatizar la generación de una especificación RTL de más bajo nivel, lo que agiliza los ciclos de desarrollo, mejora la productividad y facilita la verificación del diseño.</p> <p>Esta signatura proporcionará formación técnica avanzada en el diseño, modelado e implementación de hardware personalizado para aplicaciones específicas utilizando tecnología HLS. Sentaremos las bases para el desarrollo módulos aceleradores específicos de dominio de una manera rápida y ágil, obteniendo componentes con altos rendimientos, ideales para la validación de arquitecturas y el prototipado de circuitos digitales que se integren posteriormente en otros sistemas más complejos.</p>		
Sesiones	Horas	Tipo de sesión
01. Introducción a la Síntesis de Alto Nivel	3,5	Clase teórica online
02. Primeros pasos en el ecosistema Vitis	6	Clase práctica online
03. Caso práctico #1: Aceleración de la multiplicación de matrices	5	Actividades online
04. Modelado y especificación de circuitos digitales	5	Clase teórica online
05. Seminario: Vitis AI para Inteligencia Artificial en SoCs adaptativos	2	Sesión online síncrona
06. Síntesis de hardware	4,5	Clase teórica online
07. Optimización de modelos en Vitis HLS	3	Clase práctica online
08. Caso práctica #2: Diseño y prototipado de un acelerador de procesado de imagen	6	Actividades online
09. Seminario: Vitis Vision Library	6	Seminario/conferencia
10. Síntesis de interfaces y protocolos de interconexión	5	Clase teórica online
11. Integración HW/SW de IPs: diseño de plataforma y programación	5	Clase práctica online

12. Caso práctico #3: Integración de IPs con Vivado y Vitis Unified Software platform.	5	Actividades online
13. Seminario: Desarrollo de drivers Linux para aceleradores HLS	2	Sesión online síncrona
14. Tests de evaluación	2	Evaluación asíncrona
15. Estudio	25	Estudio o preparación
16. Ejercicios y casos de uso	20	Elaboración de trabajos
17. Proyectos de laboratorio	45	Elaboración de trabajos

[06] Diseño de bajo nivel y transición al silicio	Obligatoria 6 ECTS 3 Práct. 3 Teór.
--	--

Coordinador/a: FERNANDO RINCÓN CALLE

Fecha Inicio: 03-02-2025

Fecha Fin: 14-04-2025

Justificación: A la hora de materializar un diseño en forma de circuito impreso se dispone principalmente de 2 opciones: el uso de dispositivos lógicos programables, de entre los cuales las FPGAs suelen ser los más utilizados, y los circuitos de aplicación específica (ASIC). Debido a su flexibilidad y a la posibilidad de personalización posterior a la fabricación las FPGAs son la alternativa preferida para el diseño de series de pocas unidades o como etapa intermedia de prototipado antes del paso a un ASIC. Es por esta razón de la mayor parte de las actividades prácticas y flujos utilizados en el resto de asignaturas está principalmente orientado al uso de FPGAs. El propósito y objetivo de esta asignatura es sin embargo el estudio de la problemática, metodología y herramientas para la implementación de diseños sobre ASICs. Dado que la selección de esta opción de implementación solamente se justifica por la necesidad de optimizar uno o varios aspectos del diseño, especialmente en lo relativo al consumo energético y su relación con el rendimiento, se abordarán también aspectos relativos a esta optimización.

Sesiones	Horas	Tipo de sesión
01. Flujos de diseño y tipos de ASICs	2	Clase teórica online
02. Alimentación y distribución del reloj	3	Clase teórica online
03. Ubicación y conexionado	2	Clase teórica online
04. Ubicación y conexionado	4	Clase práctica online
05. Verificación y validación	6	Clase práctica online
06. Simulación post-layout	2	Sesión online síncrona
07. Simulaciones de consumo	2	Clase práctica online
08. Tapeout	2	Clase teórica online
09. Tapeout	2	Clase práctica online
10. Manufactura y encapsulado	4	Clase teórica online
11. Procesos de test	2	Clase teórica online
12. Técnicas de diseño para bajo consumo	6	Clase teórica online
13. Optimización del diseño	4	Clase práctica online
14. Proyectos de diseño	9	Clase práctica presencial
15. Realización de ejercicios supervisados	7	Actividades online
16. Conferencia: European Processor Initiative	3	Seminario/conferencia
17. Estudio de los temas y realización de cuestionarios de autoevaluación	15	Estudio o preparación
18. Realización de ejercicios	20	Elaboración de trabajos

19. Realización de proyectos	55	Elaboración de trabajos
------------------------------	----	-------------------------

[07] Aceleradores de dominio específico	Obligatoria 6 ECTS 3 Práct. 3 Teór.	
Coordinador/a: RAFAEL RODRÍGUEZ SÁNCHEZ / JOSÉ LUIS SÁNCHEZ GARCÍA		
Fecha Inicio: 03-02-2025	Fecha Fin: 14-03-2025	
Justificación: El propósito de esta asignatura es comprender la necesidad de aceleradores de dominio específico, conocer las diferentes opciones de aceleradores hardware, comprender las posibles vías de aceleración y saber aplicar alguna metodología para crear extensiones al ISA para problemas específicos. Se realizarán sesiones prácticas utilizando las extensiones existentes en los procesadores RISC-V disponibles en la FPGA, se implementarán en FPGA aceleradores de dominio específico para RISC-V, y se desarrollarán extensiones específicas que hagan uso de esos aceleradores.		
Sesiones	Horas	Tipo de sesión
01. Revisión histórica de los ISAs	2	Clase teórica online
02. Facilidades e ineficiencias en el uso de CPUs	2	Clase teórica online
03. Caso práctico #1: Análisis de rendimiento	2	Clase práctica online
04. Alternativas para seguir escalando rendimiento y eficiencia	2	Clase teórica online
05. Aceleradores de dominio específico	2	Clase teórica online
06. Plataformas de aceleración: ASICs, FPGAs, GPUs	2	Clase teórica online
07. Caso práctico #2: Plataformas de aceleración	5	Clase práctica online
08. Caso práctico #2: Plataformas de aceleración	3	Clase práctica presencial
09. Fuentes de aceleración: Operaciones especializadas, paralelismo, memorias optimizadas, reducción sobrecargas	5	Clase teórica online
10. Aceleradores de dominio específico para RISC-V	4	Clase teórica online
11. Extensiones al ISA de RISC-V	5	Clase teórica online
12. Caso práctico #3: Extensiones existentes	2	Clase práctica online
13. Caso práctico #3: Extensiones existentes	3	Clase práctica presencial
14. Metodología de diseño de extensiones para aceleradores RISC-V	4	Clase teórica online
15. Caso práctico #4: Diseño de extensiones I	6	Clase práctica online
16. Caso práctico #5: Diseño de extensiones II	6	Clase práctica online
17. Caso práctico #5: Diseño de extensiones II	3	Clase práctica presencial
18. Estudio autónomo	45	Estudio o preparación
19. Proyecto: diseño de extensiones para aceleradores	45	Elaboración de trabajos
20. Evaluación	2	Evaluación

[08] Arquitectura de la red de interconexión		Obligatoria 6 ECTS 3 Práct. 3 Teór.	
Coordinador/a: PEDRO JAVIER GARCÍA GARCÍA / FRANCISCO JOSÉ QUILES FLOR			
Fecha Inicio: 17-03-2025		Fecha Fin: 04-04-2025	
<p>Justificación: El propósito de esta asignatura es conocer las características fundamentales de las redes de interconexión, comprender la arquitectura de los sistemas basados en chipelets, saber determinar la comunicación en un sistema basado en chipelets y conocer estrategias para mejorar el rendimiento de la red en sistemas basados en chipelets. Se realizarán sesiones prácticas donde, mediante el uso de herramientas de simulación, se evaluarán las prestaciones de las redes de interconexión off-chip y on-chip, se estudiará la comunicación de los sistemas basados en chipelets, la interconexión de diferentes sistemas dentro los nodos servidores heterogéneos y el consumo de energía.</p>			
Sesiones		Horas	Tipo de sesión
01. Fundamentos de las redes de interconexión I		5	Clase teórica online
02. Fundamentos de las redes de interconexión II		5	Clase teórica online
03. Caso práctico #1: Análisis de rendimiento de redes de interconexión I		5	Clase práctica online
04. Caso práctico #2: Análisis de rendimiento de redes de interconexión II		5	Clase práctica online
05. Arquitectura avanzada de los sistemas en chip		6	Clase teórica online
06. Chipelets e interposers		4	Clase teórica online
07. Caso práctico #3: Simulación de una red en chip en Gem5 y Garnet		5	Clase práctica online
08. Caso práctico #4: Simulación de la arquitectura de chipelets e interposers en Gem5 y CHIPS		5	Clase práctica presencial
09. Comunicación en la red intra-nodo		3	Clase teórica online
10. Potencia, consumo y energía de los sistemas en chip		5	Clase teórica online
11. Caso práctico #5: Simulación de la red intra-nodo en Gem5 y PCIe		5	Clase práctica online
12. Caso práctico #6: Estudio de la potencia, consumo de la red en Gem5 y HeteroGarnet		5	Clase práctica online
13. Estudio autónomo		45	Estudio o preparación
14. Proyecto práctico: Diseño de un sistema en chip heterogéneo		45	Elaboración de trabajos
15. Evaluación		2	Evaluación

[09] Trabajo Fin de Máster	Obligatoria 12 ECTS 12 Práct. 0 Teór.	
Coordinador/a: FERNANDO RINCÓN CALLE / JESÚS ESCUDERO SAHUQUILLO		
Fecha Inicio: 07-04-2025	Fecha Fin: 30-06-2025	
Justificación: La asignatura "Trabajo Fin de Máster" (TFM) es esencial en el plan de estudios ya que proporciona una plataforma para que los estudiantes apliquen sus conocimientos, desarrollen habilidades prácticas avanzadas y se preparen para los desafíos profesionales. Esta asignatura permite a los estudiantes integrar y aplicar los conocimientos teóricos y prácticos en proyectos motivados por los colaboradores industriales de estos estudios. También permite el desarrollo de habilidades de investigación en un entorno empresarial con el objetivo de desarrollar soluciones innovadoras y eficaces. El TFM, por lo tanto, permite una valoración integral de las competencias y habilidades del estudiante y dará valor a sus currículums al actuar como un complemento integral del plan de estudios.		
Sesiones	Horas	Tipo de sesión
01. Desarrollo del TFM	180	Elaboración de trabajos
02. Desarrollo del TFM	104	Actividades online
03. Tutorías individuales	15,5	Sesión online síncrona
04. Presentación y defensa	0,5	Evaluación

19. Metodología del Aprendizaje

El máster en Sistemas Microelectrónicos basados en Arquitecturas Abiertas se imparte en modalidad online, planificando un mínimo de sesiones presenciales en semanas alternas para facilitar su acceso y seguimiento por parte de potenciales estudiantes que deseen compaginar sus estudios con su actividad profesional o personal. Las sesiones presenciales se dedicarán principalmente a la realización de laboratorios y la impartición de seminarios prácticos por parte de docentes y profesionales de reconocido prestigio. Dichas sesiones presenciales son clave en la metodología de enseñanza al representar un enlace vivo entre estudiante y docente, ayudando a no desconectar de la actividad lectiva y permitiendo solucionar problemas y dudas de una manera personalizada y eficiente contribuyendo al mejor seguimiento de la asignatura.

Las sesiones remotas permiten la adquisición de los conocimientos teóricos y prácticos a través de la visualización de contenidos, realización de ejercicios y laboratorios de manera asíncrona, por lo que cada estudiante puede adaptar su ritmo de aprendizaje a sus necesidades y circunstancias. El seguimiento y control del progreso de aprendizaje se llevará a cabo mediante tutorías online utilizando para ellos la plataforma MS Teams.

El máster ofrece un enfoque práctico, con el 50% del esfuerzo del alumno dirigido a la adquisición de competencias y habilidades prácticas mediante la realización de casos de uso prácticos y proyectos que tienen su colofón en la realización del Trabajo Fin de Máster. En este sentido, las empresas colaboradoras en el máster han contribuido decisivamente a la identificación de aplicaciones y tecnologías que son de interés en sus ámbitos industriales, pero que tienen un impacto transversal en múltiples áreas de actividad. Los alumnos dispondrán de puestos de trabajo para las sesiones presenciales equipados con herramientas software (herramientas CAE, simuladores, emuladores, etc.) y plataformas hardware (placa de prototipado Nexys A7) de última generación, y se habilitarán los mecanismos para poder realizar las prácticas en remoto.

El aprendizaje basado en proyectos está, por lo tanto, en el centro de la propuesta metodológica para este máster. Todas las asignaturas planifican uno o dos proyectos prácticos en los que los alumnos aplicarán los conocimientos y habilidades adquiridos en los laboratorios y casos de uso. En cada asignatura se darán los pasos necesarios desde el diseño hasta la implementación y fabricación de un chip de una manera progresiva e integral desde el punto de vista de la planificación docente, con algunas asignaturas compartiendo proyecto práctico (cada una de ellas enfocada a resolver un aspecto concreto del flujo de diseño) y con otras tomando como entrada los resultados desarrollados en otras asignaturas.

Por último, hay que mencionar que la plataforma que dará soporte al máster es Campus Virtual, donde se pondrán a disposición de los alumnos los contenidos, tareas y material del máster. MS Teams complementará los canales de comunicación con los alumnos y será una herramienta fundamental en el seguimiento y tutorización del proceso de aprendizaje de los alumnos.

20. Evaluación y Control

Para superar los estudios de este máster el alumno deberá acreditar haber adquirido los conocimientos y competencias las asignaturas del plan de estudios. La nota final de cada asignatura es el resultado de los test de evaluación (50%) que se realizan de manera online a través de Campus Virtual y la entrega de los supuestos prácticos propuestos (50%). La asignatura se considerará superada si obtiene 5 puntos o más, y se establece un mínimo de 4 puntos en cada una de las partes (cuestionarios y proyectos) para hacer la media.

En la asignatura "Trabajo Final de Máster" el alumno deberá, de una forma guiada por los tutores, integrar en un proyecto las diversas tecnologías vistas durante el curso, y aplicar lo aprendido de una forma práctica, aplicado a un supuesto. La evaluación del trabajo final consistirá en una exposición presencial del mismo a un panel evaluador (que podrá formular las preguntas oportunas) y la entrega de una pequeña memoria.

El cálculo de la nota final del curso será resultado de la media de las calificaciones de todas las asignaturas (40%) y el "Trabajo Final de Máster" (60%).

21. Preinscripción y matrícula Preinscripción Títulos propios Plazos

	Fecha de inicio	Fecha de finalización
Preinscripción	Del 01/07/2024	Al 15/09/2024
Publicación admitidos		16/09/2024
Matrícula	Del 16/09/2024	Al 30/09/2024
Impartición	Del 1/10/2024	Al 30/06/2025

22. Plazas y admisión

Plazas ofertadas

	Mínimo	Máximo
Número de Estudiantes	10	30

Criterios de admisión

Será requisito indispensable estar en posesión de un Título universitario oficial español o en su defecto un Título expedido por una institución de Educación Superior del Espacio Europeo de Educación Superior (EEES). Aunque no hay condiciones en cuanto a la titulación concreta exigida, se recomienda una formación en cualquiera de las áreas afines a la temática del Máster como informática, telecomunicaciones, ingeniería industrial, electrónico o física. En cualquier caso, se realizará un proceso de selección entre las preinscripciones realizadas para establecer el nivel de idoneidad y así garantizar el éxito en la realización del programa.

En el caso de recibir más solicitudes que plazas ofertadas se definen las siguientes prioridades en la admisión del programa:

1. Graduados, licenciados o diplomados de las Escuelas Superiores de Informática de Albacete y Ciudad Real de la UCLM.
2. Graduados, licenciados o diplomados de otros centros de la UCLM.
3. Profesionales que acrediten experiencia en la temática del Máster y que reúnan los requisitos de acceso establecidos para cursar estudios en la UCLM.
4. Graduados, licenciados o diplomados de otras universidades españolas.

Documentación para formalizar la preinscripción

- DNI/pasaporte/documento de identidad en vigor
- Título universitario o resguardo acreditativo de haberlo solicitado.
- Se recomienda la presentación de un Curriculum Vitae actualizado en el que conste la experiencia académica y laboral del estudiante, así como la motivación y expectativas por las que solicita la matrícula en estos estudios.

23. Precio de los Estudios

Precio de Matrícula: 3200 € (53,33 €/ECTS)

24. Bonificaciones

La Cátedra Chip UCLM, financiada por el PERTE de Microelectrónica y Semiconductores (Mecanismo de Recuperación y Resiliencia, Ministerio de Transformación Digital y Función Pública), **bonificará la matrícula completa**. Opcionalmente, se podrá solicitar a los alumnos un compromiso de seguimiento y aprovechamiento.